CLIP

IC2B 7402
R1 100
C3 47p
IC2D 7402
C5 47p
R3 1k2
R2 200
R4 22 → +5V
T1 2N3906
IC9D 7400 Z80_CLK
+5V

IC2A 7402
IC5C 7408
IC5D 7408 −RD
IC9B 7400 −MRD
−DTAOUT
IC5B 7408 SEL

IC12 CPU Z80CPU
22 M1\ A0 30
19 MREQ\ A1 31
20 IORQ\ A2 32
21 RD\ A3 33
22 WR\ A4 34
28 RFSH\ A5 35
     A6 36
18 HALT\ A7 37
24 WAIT\ A8 38
16 INT\ A9 39
17 NMI\ A10 40
26 RESET\ A11 1
     A12 2
25 BUSRQ\ A13 3
23 BUSAK\ A14 4
6 CLK A15 5
     D0 14
     D1 15
     D2 12
29 GND D3 8
     D4 7
11 VCC D5 9
     D6 10
     D7 13
+5V ←

The bipolar PROM (74S288) is used as a translation table:

logical Z80 address	real bus (6502) address
F000	0000
E000	C000
D000	F000
C000	E000
B000	D000
A000	B000
9000	A000
8000	9000
7000	8000
6000	7000
5000	6000
4000	5000
3000	4000
2000	3000
1000	2000
0000	1000

logical Z80 address
real bus (6502) address

IC11 74288
AZ11 10 A0 Q0 1 A11
AZ12 11 A1 Q1 2 A12
AZ13 12 A2 Q2 4 A13
AZ14 13 A3 Q3 4 A14
AZ15 14 A4 Q4 A15
RDY 15 G Q5
     Q6
     Q7

IC8A 74367
AR12 A1 1Y1 A12
AR14 1A2 1Y2 A14
AR11 1A3 1Y3 A11
     1A4 1Y4
1 1G

IC8B
AR15 2A1 2Y1 A15
AR13 2A2 2Y2 A13
15 2G

IC13 74157
AR0 1A 1Y A0
AZ0 1B
AR2 2A 2Y A2
AR3 2B
AR3 3A 3Y A3
AR1 4A 4Y A1
AZ1 4B
A∨B G

IC14 74157
AR8 1A 1Y A8
AZ8 1B
AR10 2A 2Y A10
AZ10 2B
MRD 3A 3Y BUS_RW
AR9 4A 4Y A9
AZ9 4B
SEL A∨B G

IC15 74157
AR6 1A 1Y A6
AZ6 1B
AR4 2A 2Y A4
AR4 2B
AR5 3A 3Y A5
AZ5 4A 4Y A7
AR7 4B
AZ7 A∨B G

IC9A 7400
A11
A12
A13
A14
A15

IC6 74138
A B C
Y0 Y1 Y2 Y3 Y4 Y5 Y6 Y7
G1 G2A G2B
−C400

IC5A 7408
A10

IC4A 7474
PRE D Q CLK CLR Q\
−Z80_RES
+5V

IC3A 7474
PRE D Q CLK CLR Q\
+5V

IC2C 7402

IC9C 7400
+5V

IC3B 7474
PRE D Q CLK CLR Q\
PHI0

IC4B 7474
PRE D Q CLK CLR Q\
−RESET SEL RDY PHI1

IC1 6502
37 Ø2IN
40 RESET A0 9
1 IRQ A1 10
6 NMI A2 11
38 S.O. A3 12
     A4 13
     A5 14
     A6 15
     A7 16
     A8 17
     A9 18
     A10 19
     A11 20
     A12 21
     A13 22
     A14 23
     A15 24
2 RDY D0 33
3 Ø1OUT D1 31
7 SYNC D2 30
     D3 29
     D4 28
     D5 27
     D6 26
     D7 25
39 Ø2OUT
34 R/W\

J1 plugs into the //c 6502 socket.
IC1 is the original 65C02.

J1 (BUS) 6502
37 Ø2IN
40 RESET
4 IRQ
6 NMI
38 S.O.
A0 9 A1 10 A2 11 A3 12 A4 13 A5 14 A6 15 A7 16 A8 17 A9 18 A10 19 A11 20 A12 21 A13 22 A14 23 A15 24
D0 33 D1 31 D2 30 D3 29 D4 28 D5 27 D6 26 D7 25
2 RDY
3 Ø1OUT
7 SYNC
39 Ø2OUT
34 R/W\

BUS_RW
PHI2
PHI0
−DTAOUT
−NMI
−IRQ
−RESET
PHI0
−RD

IC7 74373
1D 1Q D0
2D 2Q D1
3D 3Q D2
4D 4Q D3
5D 5Q D4
6D 6Q D5
7D 7Q D6
8D 8Q D7
OC −RD
ENC PHI2

IC10A 74244
A1 Y1 D0
A2 Y2 D3
A3 Y3 D4
A4 Y4 D6
G

IC10B
A1 Y1 D7
A2 Y2 D5
A3 Y3 D2
A4 Y4 D1
G

C1 10µF
C2 100n
C4 100n
C7 100n
C6 100n
+5V

BUS_RW
PHI2
PHI0
−DTAOUT